

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114372

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H01L 21/768
H01L 21/3065
H01L 29/78
H01L 21/336

(21)Application number : 10-285197

(71)Applicant : SONY CORP

(22)Date of filing : 07.10.1998

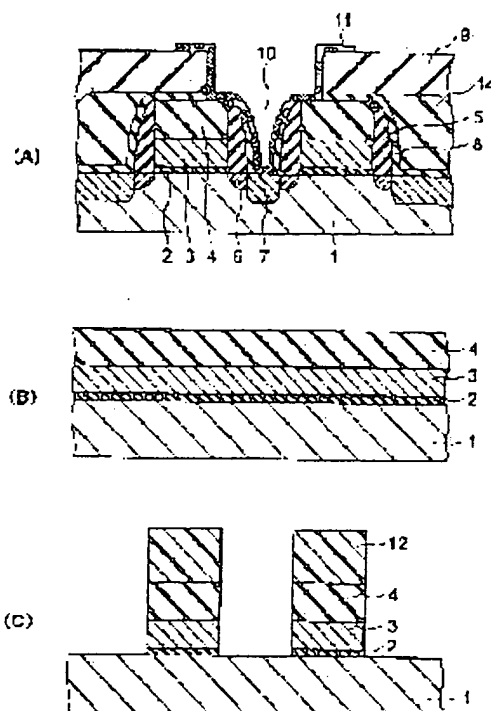
(72)Inventor : KIMURA TADAYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device, wherein a wiring short circuit and a self-matching contact in which increase of contact resistance is suppressed are formed, without causing etching stop.

SOLUTION: This method consists of a process in which a gate electrode 3 provided with a sidewall is formed on a semiconductor substrate 1, a process where source/drain regions 6 and 7 of an LDD(lightly-doped drain) structure are formed, a process where an etching stopper layer 8 is formed on the whole surface, a process where an organic insulating film 14 filling up between gate electrodes is formed, a process where an inter-layer insulating film 9 is formed over the whole surface, a process where the inter-layer insulating film 9 and the organic insulating film 14 are etched, while a polymer layer is accumulated on the surface of the etching stopper layer 8 to provide an opening, a process where the polymer layer and the etching stopper layer 8 of the bottom of the opening are removed to form a contact hole 10, and a process where an upper wiring 11 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-114372

(P2000-114372A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L	21/768	H 0 1 L 21/90	D 5 F 0 0 4
	21/3065	21/302	M 5 F 0 3 3
	29/78	29/78	3 0 1 Y 5 F 0 4 0
	21/336		

審査請求 未請求 請求項の数 11 O L (全 10 頁)

(21) 出願番号 特願平10-285197

(22) 出願日 平成10年10月7日 (1998. 10. 7)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 木村 忠之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

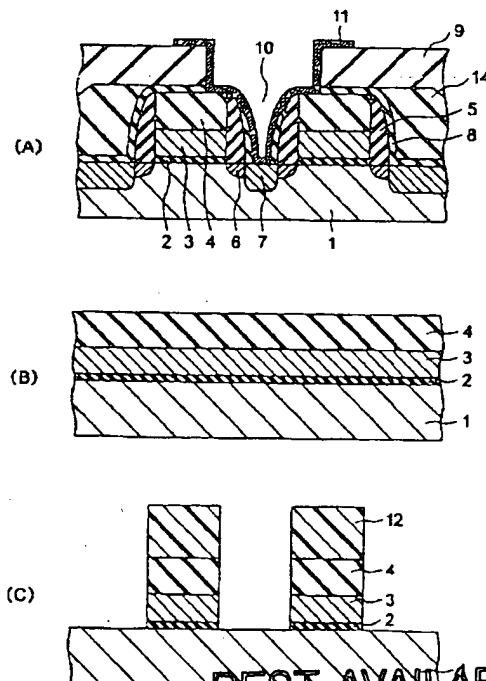
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 配線ショートとコンタクト抵抗の増大が抑制された自己整合コンタクトをエッチストップを起こさずに形成できる半導体装置の製造方法を提供する。

【解決手段】 半導体基板1上にサイドウォール5を有するゲート電極3を形成する工程と、LDD構造のソース／ドレイン領域6、7を形成する工程と、全面にエッチングストッパー層8を形成する工程と、ゲート電極間を埋め込む有機絶縁膜14を形成する工程と、全面に層間絶縁膜9を形成する工程と、エッチングストッパー層8の表面にポリマー層を堆積させながら、層間絶縁膜9および有機絶縁膜14にエッチングを行い開口を設ける工程と、ポリマー層および前記開口底部のエッチングストッパー層8を除去してコンタクトホール10を形成する工程と、上層配線11を形成する工程とを有する半導体装置の製造方法。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】半導体基板上に、導電体層を形成する工程と、

前記導電体層上に、オフセット絶縁膜を形成する工程と、

前記オフセット絶縁膜および前記導電体層に所定のパターンニングを行い、ゲート電極を形成する工程と、

前記ゲート電極側面に、絶縁体からなるサイドウォールを形成する工程と、

前記サイドウォールをマスクとして前記半導体基板に不純物を拡散させ、ソース／ドレイン領域を形成する工程と、

全面に、絶縁体からなり、前記ゲート電極および前記サイドウォールを被覆するエッチングストッパー層を形成する工程と、

前記エッチングストッパー層上に、上端が前記ゲート電極上の前記エッチングストッパー層の高さと一致するように有機絶縁膜を形成し、前記ゲート電極間を前記有機絶縁膜により埋め込む工程と、

全面に、層間絶縁膜を形成する工程と、

前記層間絶縁膜および前記有機絶縁膜にエッチングを行って開口を設け、前記開口内に露出する前記エッチングストッパー層の表面に、エッチングの反応生成物であるポリマー層を堆積させながら、前記開口部の前記有機絶縁膜を除去する工程と、

前記ポリマー層を除去する工程と、

前記開口底部の前記エッチングストッパー層を除去し、前記ソース／ドレイン領域を露出させて、コンタクトホールを形成する工程と、

前記コンタクトホール内に、導電体からなる上層配線を形成する工程とを有する半導体装置の製造方法。

【請求項2】前記ゲート電極間を前記有機絶縁膜により埋め込む工程は、前記ゲート電極上を含む全面に、前記有機絶縁膜を堆積させる工程と、前記有機絶縁膜の上端が前記ゲート電極上の前記エッチングストッパー層の高さと一致するまで、異方性エッチングによりエッチバックを行う工程とを有する請求項1記載の半導体装置の製造方法。

【請求項3】前記有機絶縁膜は、有機SOG (spin on glass) 膜である請求項2記載の半導体装置の製造方法。

【請求項4】前記層間絶縁膜および前記有機絶縁膜にエッチングを行って開口を設ける工程は、フッ素原子を含むエッチングガスを用いてエッチングを行う工程であり、前記ポリマー層は、炭素原子およびフッ素原子を含むフロロカーボンポリマー層である請求項1記載の半導体装置の製造方法。

【請求項5】前記エッチングガスは、CF₄、またはC₂F₆を含むガスである請求項4記載の半導体装置の製造方法。

【請求項6】前記オフセット絶縁膜および前記サイドウォールは、酸化シリコンからなる請求項1記載の半導体装置の製造方法。

【請求項7】前記エッチングストッパー層は、窒化シリコンからなる請求項1記載の半導体装置の製造方法。

【請求項8】前記エッチングストッパー層は、窒化酸化シリコンからなる請求項1記載の半導体装置の製造方法。

【請求項9】前記エッチングストッパー層は、酸化アルミニウムからなる請求項1記載の半導体装置の製造方法。

【請求項10】前記層間絶縁膜は、酸化シリコンからなる請求項1記載の半導体装置の製造方法。

【請求項11】前記ゲート電極をマスクとして前記半導体基板に、前記ソース／ドレイン領域と同一の導電型の不純物を、前記ソース／ドレイン領域よりも低濃度で拡散させ、LDD (lightly doped drain) 領域を形成する工程を有する請求項1記載の半導体装置の製造方法。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、エッチストップ、配線ショートあるいはコンタクト抵抗の増加等の問題が解消された、安全で信頼性の高い自己整合コンタクトを形成することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路の高集積化は3年で次世代へ進み、デザインルールは前世代の7割に縮小されてきた。この縮小化に伴って半導体装置の高速化も実現されてきた。例えば、MOS (Metal Oxide Semiconductor) デバイス等の半導体装置においては、微細加工技術の進歩、特に光露光技術の高解像度化によって、微細なデザインルールが適用されてきた。

【0003】光露光技術の高解像度化は、デザインルールに対応した寸法加工精度、および重ね合わせ精度を満足させながら、露光装置、レジスト材料およびレジストパターンニングプロセスを改良することにより達成されてきた。例えば、露光光源を短波長化し、その光源波長に適したレジスト材料を開発したり、あるいは、位相シフト法により微細パターンを形成すること等が行われてきた。

【0004】しかしながら、露光装置については、ステップの位置合わせのばらつきの改善が困難となっている。位置合わせのばらつきを許容範囲内とするためには、位置合わせの設計余裕 (加工マージン) を十分に確保する必要があり、結果的にセルサイズの縮小化の妨げとなっている。したがって、位置合わせの設計余裕を減少させ、セルサイズの縮小化が可能となる微細加工技術

が要求されている。その一つとして、コンタクトホール
の開口工程に用いるマスクに、位置合わせのための設計
余裕を設ける必要がない自己整合コンタクト（SAC；
Self Aligned Contact）技術が注目
されている。

【0005】上記のようなSACを有する電界効果トラ
ンジスタ（MOSトランジスタ）について、図6（A）
の断面図を参照して説明する。図6（A）は、シリコン
基板1上に形成された素子分離絶縁膜（不図示）によっ
て、相互に分離されている素子形成領域（アクティブ領
域）の一つを示す。素子分離絶縁膜は公知の方法、例え
ばシリコン窒化膜をマスクとしてシリコン基板を熱酸化
させるLOCOS法、あるいは、素子分離用溝に絶縁膜
を堆積させるSTI法により形成される。

【0006】上記のアクティブ領域上にゲート絶縁膜2
が形成され、その上層に例えばポリシリコンからなるゲ
ート電極3が形成されている。ゲート電極3の上層には
例えば酸化シリコンからなるオフセット絶縁膜4が形成
され、ゲート電極3およびオフセット絶縁膜4の側壁に
は例えば酸化シリコンからなるサイドウォール5が形成
されている。また、ゲート電極下部に位置するチャネル
形成領域の両端には、低濃度の不純物を含有するLDD
領域6、および高濃度の不純物を含有するソース／ド
レイン領域7が形成されている。

【0007】オフセット絶縁膜4およびサイドウォール
5を被覆するように、例えば窒化シリコンからなるエッ
チングストッパー層8が形成されている。その上層に、
例えば酸化シリコンからなる層間絶縁膜9が形成されて
いる。層間絶縁膜9にはソース／ドレイン領域7に達す
るコンタクトホール10が開口されており、ソース／ド
レイン領域7に接する部分のエッチングストッパー層8
は除去されている。コンタクトホール10の内壁面に、
ソース／ドレイン領域7に接続する上層配線11が形成
されている。

【0008】次に、上記の半導体装置の製造方法につい
て、図6（B）～8（B）を参照して説明する。まず、
シリコン基板1に例えばLOCOS法により素子分離絶
縁膜（不図示）を形成し、素子形成領域を相互に分離す
る。続いて、図6（B）に示すように、シリコン基板1
の表面を熱酸化してゲート絶縁膜2を膜厚5～10nm
程度で形成する。その上層に、例えばCVD法（che
mical vapor deposition）によ
りゲート電極3用のポリシリコン層を堆積させる。その
上層に、例えばCVD法により酸化シリコンを堆積さ
せ、オフセット絶縁膜4を形成する。さらに、オフセッ
ト絶縁膜4の上層に、ゲート電極パターンを有するレジ
スト12をフォトリソグラフィ工程により形成する。
レジスト12をマスクとして、オフセット絶縁膜4およ
びポリシリコン層3に反応性イオンエッチング（RI
E）等の異方性エッチングを施し、ゲート電極のパター
ン

ニングを行う。

【0009】次に、図6（C）に示すように、レジスト
12をアッシングにより除去した後、オフセット絶縁膜
4をマスクとしてシリコン基板1に低濃度の導電性不純
物をイオン注入し、LDD領域6を形成する。次に、全
面に酸化シリコンを堆積させてからエッチバックを行
い、図7（A）に示すように、サイドウォール5を形成
する。このエッチバックは、例えばRIEにより行う。
さらに、サイドウォール5をマスクとしてシリコン基板
1に高濃度の導電性不純物をイオン注入し、ソース／ド
レイン領域7を形成する。

【0010】次に、図7（B）に示すように、例えばC
VD法により全面に窒化シリコンを堆積させ、エッチ
ングストッパー層8を形成する。続いて、図7（C）に示
すように、エッチングストッパー層8の上層の全面に、
例えば酸化シリコンを堆積させ、層間絶縁膜9を形成す
る。層間絶縁膜9としては、例えばテトラエトキシシラ
ン（TEOS）をオゾンを用いて減圧化で酸化させるこ
とにより形成された、LP-TEOS膜を用いることが
できる。その上層に、コンタクトホールパターンを有す
るレジスト13をフォトリソグラフィ工程により形成
する。

【0011】次に、図8（A）に示すように、レジスト
13をマスクとして層間絶縁膜9に、例えばRIE等の
エッチングを行い、エッチングストッパー層8の上面を
露出させるコンタクトホール10を開口する。このエッ
チングは、例えばマグネトロンエッチャーを用いて、以
下の条件で行うことができる。

エッチング条件

エッチングガス：C、F、／CO／Ar＝15／300
／400sccm

圧力：5.3Pa

RFパワー（13.56MHz）：1700W

【0012】上記の条件でエッチングを行うことによ
り、エッチングストッパー層8（窒化シリコン）に対す
る、層間絶縁膜9（酸化シリコン）の選択比を10程度
とすることができる。

【0013】次に、図8（B）に示すように、上記のコ
ンタクトホール開口のためのエッチングとエッチング条
件を変更し、コンタクトホール内のエッチングストッ
パー層8の一部を除去し、ソース／ドレイン領域7を露出
させるためのエッチングを行う。このエッチングは、例
えばマグネトロンエッチャーを用いて、以下の条件で行
うことができる。

エッチング条件

エッチングガス：CHF₃、／O₂／Ar＝10／10／
50sccm

圧力：5.3Pa

RFパワー（13.56MHz）：600W

【0014】続いて、レジスト13を除去して、コンタ

ルミニウム等の導電体を用いてコンタクトホール10の内壁を被覆し、ソース/ドレイン領域7に接続する上層配線11を形成する。以上の工程により、図6(A)に示す半導体装置の構造となる。

【0015】上記の従来の半導体装置の製造方法によれば、レジスト13にコンタクトホールパターンを形成する際に合わせずれが発生しても、コンタクトホール開口のエッチングがエッチングストッパー層8の上面で一度停止する。したがって、ゲート電極3は露出せず、ゲート電極3と上層配線11との配線ショートを防ぐことができる。また、エッチング条件を変更してエッチングを再開し、エッチングストッパー層8を除去する工程においては、ゲート電極3はオフセット絶縁膜4およびサイドウォール5により被覆されている。したがって、ゲート電極3の露出が防止され、コンタクトホール開口工程の位置合わせのためのマスク上の設計余裕が不要となる。

【0016】

【発明が解決しようとする課題】しかしながら、上記の従来の方法によりコンタクトホールを開く場合、以下に示すような問題が発生することがある。図7(C)に示す工程において、コンタクトホール10内にエッチングストッパー層8の上面を露出させるエッチングを行うには、ゲート電極3の上層のエッチングストッパー層8までの層間絶縁膜9の深さ D_1 と、ゲート電極3の上層のエッチングストッパー層8の上面からゲート電極間のエッチングストッパー層8の上面までの深さ D_2 を合わせた、 $D_1 + D_2$ の深さ分のエッチングを行う必要がある。

【0017】特に、深さ D_2 分のエッチングを行う際には、エッチングストッパー層8の一部が露出しており、エッチングストッパー層8に対して十分に選択比が確保された条件で、層間絶縁膜9をエッチングする必要がある。しかしながら、エッチングストッパー層8に対する層間絶縁膜(LP-TEOS膜)9の選択比は10程度であり、十分ではない。エッチングストッパー層8には深さ D_2 の1/10の膜厚が必要であり、例えば、 $D_2 = 400 \text{ nm}$ の場合、必要なエッチングストッパー層8の膜厚は40 nmとなる。実際には、層間絶縁膜9の膜厚にはばらつきがあるため、40 nm以上の膜厚が必要となる。

【0018】例えば、膜厚100 nmのエッチングストッパー層8であれば、エッチングストッパーとしての機能には問題ないが、その場合、図9に示すように、ゲート電極3の間隔が狭くなるという問題が発生する。図9(A)に示すように、エッチングストッパー層8が厚くなることによって、層間絶縁膜9の除去すべき部分が高アスペクト比となる。これにより、図9(B)に示すように、エッチングストッパー層8の上面を露出させるまでのエッチング工程において、途中でエッチストップが

起こり、次工程のソース/ドレイン領域7を露出させるためのエッチングが行えなくなる。

【0019】上記のような高アスペクト比に起因したエッチストップを回避する方法として、エッチングストッパー層8を露出させるまでのエッチング工程において、エッチングガスに微量の酸素(例えば3~5 sccm)を添加する方法がある。この方法によれば、図10

(A)に示すように、上記のようなエッチストップは防止されるが、エッチングストッパー層8に対する層間絶縁膜9の選択比も低下することになる。

【0020】図10(A)に示すように、エッチングストッパー層8の一部がエッチングされて消失すると、続く工程でソース/ドレイン領域7を露出させるエッチングを行った際に、図10(B)に示すように、ゲート電極3上部のオフセット絶縁膜4の一部がエッチングされ、ゲート電極3の一部が露出することになる。この場合、コンタクトホール10内に上層配線11を形成しても、ゲート電極3と上層配線11がショートして、デバイスとして正常に動作しなくなる。

【0021】また、エッチング条件を最適に調整することにより、ゲート電極3の露出を防止しながらソース/ドレイン領域7を露出させ、コンタクトホールが開いてきたとしても、別の問題が残る。前述したようにゲート電極3の間隔が狭いために、コンタクトホール10内に露出するソース/ドレイン領域7の表面積が小さく、コンタクト抵抗が高くなる。あるいは、ゲート電極3を被覆するオフセット絶縁膜4およびサイドウォール5を、窒化シリコンを用いて形成することにより、エッチングストッパー層として機能させる方法も考えられる。この方法によれば、ゲート電極の間隔を狭くせずに、エッチングストッパー層の実効的な膜厚を厚くすることが可能であるが、トランジスタのホットキャリア耐性が低下するため、実用的ではない。

【0022】本発明は上記の問題点を鑑みてなされたものであり、したがって本発明は、エッチストップ、配線ショートあるいはコンタクト抵抗の増加等の問題が解消された、安全で信頼性の高い自己整合コンタクトを有する半導体装置の製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に導電体層を形成する工程と、前記導電体層上にオフセット絶縁膜を形成する工程と、前記オフセット絶縁膜および前記導電体層に所定のパターンニングを行い、ゲート電極を形成する工程と、前記ゲート電極側面に絶縁体からなるサイドウォールを形成する工程と、前記サイドウォールをマスクとして前記半導体基板に不純物を拡散させ、ソース/ドレイン領域を形成する工程と、全面に、絶縁体からなり前記ゲート電極および前記サイドウォールを被覆するエッチングストッパー層を形成する工程

と、前記エッチングストッパー層上に、上端が前記ゲート電極上の前記エッチングストッパー層の高さと一致するように有機絶縁膜を形成し、前記ゲート電極間を前記有機絶縁膜により埋め込む工程と、全面に、層間絶縁膜を形成する工程と、前記層間絶縁膜および前記有機絶縁膜にエッチングを行って開口を設け、前記開口内に露出する前記エッチングストッパー層の表面に、エッチングの反応生成物であるポリマー層を堆積させながら、前記開口部の前記有機絶縁膜を除去する工程と、前記ポリマー層を除去する工程と、前記開口底部の前記エッチングストッパー層を除去し、前記ソース／ドレイン領域を露出させて、コンタクトホールを形成する工程と、前記コンタクトホール内に導電体からなる上層配線を形成する工程とを有することを特徴とする。

【0024】本発明の半導体装置の製造方法は、好適には、前記ゲート電極間を前記有機絶縁膜により埋め込む工程は、前記ゲート電極上を含む全面に、前記有機絶縁膜を堆積させる工程と、前記有機絶縁膜の上端が前記ゲート電極上の前記エッチングストッパー層の高さと一致するまで、異方性エッチングによりエッチバックを行う工程とを有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記有機絶縁膜は有機SOG (spin on glass) 膜であることを特徴とする。

【0025】本発明の半導体装置の製造方法は、好適には、前記層間絶縁膜および前記有機絶縁膜にエッチングを行って開口を設ける工程は、フッ素原子を含有するエッチングガスを用いてエッチングを行う工程であり、前記ポリマー層は、炭素原子およびフッ素原子を含有するフロロカーボンポリマー層であることを特徴とする。本発明の半導体装置の製造方法は、さらに好適には、前記エッチングガスは、CF₄、またはC₂F₆を含むガスであることを特徴とする。

【0026】本発明の半導体装置の製造方法は、好適には、前記オフセット絶縁膜および前記サイドウォールは、酸化シリコンからなることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記エッチングストッパー層は、窒化シリコンからなることを特徴とする。あるいは、本発明の半導体装置の製造方法は、好適には、前記エッチングストッパー層は、窒化酸化シリコンからなることを特徴とする。あるいは、本発明の半導体装置の製造方法は、好適には、前記エッチングストッパー層は、酸化アルミニウムからなることを特徴とする。

【0027】本発明の半導体装置の製造方法は、好適には、前記層間絶縁膜は、酸化シリコンからなることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記ゲート電極をマスクとして前記半導体基板に、前記ソース／ドレイン領域と同一の導電型の不純物を、前記ソース／ドレイン領域よりも低濃度で拡散させ、L

DD (lightly doped drain) 領域を形成する工程を有することを特徴とする。

【0028】これにより、コンタクトホール開口のためのエッチング時にポリマー層を保護膜として機能させ、エッチングストッパー層に対する層間絶縁膜あるいは有機絶縁膜のエッチング選択比を大きくすることができる。したがって、エッチングストッパー層の薄膜化が可能となり、ゲート電極の間隔が狭くなるのが防止される。コンタクト面積が十分に確保されるため、コンタクト抵抗の増大を抑制することができる。また、本発明の半導体装置の製造方法によれば、エッチングストッパー層を用いて自己整合的にコンタクトホールを形成するため、コンタクトホール開口のためのマスクに、位置合わせ用の設計余裕を設ける必要がなく、形成パターンの縮小化が可能となる。

【0029】さらに、本発明の半導体装置の製造方法によれば、エッチングストッパー層の実効的な膜厚を大きくする目的で、オフセット絶縁膜およびサイドウォールにエッチングストッパー層と同質の材料を用いる必要がない。したがって、オフセット絶縁膜およびサイドウォールにホットキャリア耐性の高い絶縁膜、好適には酸化シリコンを用いることができ、安定で信頼性の高い自己整合コンタクトホールを形成することができる。

【0030】

【発明の実施の形態】以下に、本発明の半導体装置の製造方法の実施の形態について、図面を参照して説明する。図1(A)は本実施形態の半導体装置の製造方法により製造される、半導体装置の断面図である。図1

(A)は、シリコン基板1上に形成された素子分離絶縁膜(不図示)によって、相互に分離されている素子形成領域(アクティブ領域)の一つを示す。素子分離絶縁膜は公知の方法、例えばシリコン窒化膜をマスクとしてシリコン基板を熱酸化させるLOCOS法、あるいは、素子分離用溝に絶縁膜を堆積させるSTI法により形成される。

【0031】上記のアクティブ領域上にゲート絶縁膜2が形成され、その上層に例えばポリシリコンからなるゲート電極3が形成されている。ゲート電極3の上層には例えば酸化シリコンからなるオフセット絶縁膜4が形成され、ゲート電極3およびオフセット絶縁膜4の側壁には例えば酸化シリコンからなるサイドウォール5が形成されている。また、ゲート電極下部に位置するチャネル形成領域の両端には、低濃度の不純物を含有するLDD領域6、および高濃度の不純物を含有するソース／ドレイン領域7が形成されている。

【0032】オフセット絶縁膜4およびサイドウォール5を被覆するように、例えば窒化シリコンからなるエッチングストッパー層8が形成されている。ゲート電極上部のエッチングストッパー層8の上端まで、第1の層間絶縁膜として有機絶縁膜(有機膜)が形成される。

れ、その上層に、例えば酸化シリコンからなる第2の層間絶縁膜（以下、層間絶縁膜とする。）9が形成されている。層間絶縁膜9および有機SOG膜14にはソース／ドレイン領域7に達するコンタクトホール10が開口されており、ソース／ドレイン領域7に接する部分のエッチングストッパー層8は除去されている。コンタクトホール10の内壁面に、ソース／ドレイン領域7に接続する上層配線11が形成されている。

【0033】次に、本実施形態の半導体装置の製造方法について図面を参照して説明する。まず、シリコン基板1に例えばLOCOS法により素子分離絶縁膜（不図示）を形成し、素子形成領域を相互に分離する。続いて、図1（B）に示すように、シリコン基板1の表面を熱酸化してゲート絶縁膜2を膜厚5～10nm程度で形成する。その上層に、例えばCVD法によりゲート電極3用のポリシリコン層を堆積させる。その上層に、例えばTEOSを原料としたCVD法により酸化シリコンを堆積させ、オフセット絶縁膜4を形成する。

【0034】次に、図1（C）に示すように、オフセット絶縁膜4の上層に、ゲート電極パターンを有するレジスト12をフォトリソグラフィ工程により形成する。レジスト12をマスクとして、オフセット絶縁膜4およびポリシリコン層3に反応性イオンエッチング（RIE）等の異方性エッチングを施し、ゲート電極のパターニングを行う。

【0035】次に、図2（A）に示すように、レジスト12をアッシングにより除去した後、オフセット絶縁膜4をマスクとしてシリコン基板1に低濃度の導電性不純物をイオン注入し、LDD領域6を形成する。続いて、図2（B）に示すように、オフセット絶縁膜4を被覆するように全面に酸化シリコン層5'を堆積させてから、図2（C）に示すようにエッチバックを行い、サイドウォール5を形成する。このエッチバックは、例えばRIEにより行う。

【0036】次に、図3（A）に示すように、サイドウォール5をマスクとしてシリコン基板1に高濃度の導電性不純物をイオン注入し、ソース／ドレイン領域7を形成する。続いて、図3（B）に示すように、例えばCVD法により全面に窒化シリコンを堆積させ、エッチングストッパー層8を形成する。エッチングストッパー層8には、LP-TEOS等の酸化シリコン系材料に対して十分な選択比をとることができる材料であれば、窒化シリコン以外の材料を用いることもでき、例えば窒化酸化シリコンあるいは酸化アルミニウム等の材料が挙げられる。

【0037】その後、図3（C）に示すように、有機SOG膜14を全面に塗布してから、400℃、30分の熱処理を行って、塗膜を焼成する。続いて、図4（A）に示すように、RIE等の異方性エッチングによるエッチバックを行って、ゲート電極上のエッチングストッパ

ー層8の上面が露出する位置で平坦化させる。このエッチバックにより、コンタクトホール形成領域を含むゲート電極間のみに有機SOG膜14が残ることになる。

【0038】次に、図4（B）に示すように、有機SOG膜14およびエッチングストッパー層8を被覆するように、全面に、例えば酸化シリコンを堆積させ、層間絶縁膜9を形成する。層間絶縁膜9としては、例えばテトラエトキシシラン（TEOS）をオゾンを用いて減圧化で酸化させることにより形成された、LP-TEOS膜を用いることができる。その上層に、コンタクトホールパターンを有するレジスト13をフォトリソグラフィ工程により形成する。

【0039】次に、図4（C）に示すように、レジスト13をマスクとして層間絶縁膜9および有機SOG膜14に、例えばRIE等のエッチングを行い、エッチングストッパー層8の上面を露出させるコンタクトホール10を開口する。このエッチングは、例えばマグネトロンエッチャーを用いて、以下の条件で行うことができる。

エッチング条件

エッチングガス：C、F、 $\text{CO}/\text{Ar} = 15/300/400 \text{ sccm}$

圧力：5.3Pa

RFパワー（13.56MHz）：1700W

【0040】上記の条件で層間絶縁膜9にコンタクトホールを開口し、有機SOG膜14のエッチングが開始すると、フロロカーボン系のエッチングガスがプラズマ中で電子との衝突により解離して、 CF_x 分子が生成し、有機SOG膜14の表面に吸着する。有機SOG膜14の表面に吸着した CF_x 分子にイオンが衝撃するとSiC、F、O、層が形成されるとともに、表面から SiF_4 、 SiF_2 、CO、 CO_2 、COF_x等の揮発性反応生成物が脱離して、エッチングが進行する。

【0041】有機SOG膜14からエッチングされる過剰な炭素がラジカルと反応するとフロロカーボンが形成され、エッチングストッパー層8上に薄く堆積される。窒化シリコンからなるエッチングストッパー層8は酸素含有率が低いため、炭素が除去されず、表面にフロロカーボンポリマー層15が形成されることになる。フロロカーボンポリマー層15が保護膜として機能するため、エッチングストッパー層8に対する層間絶縁膜（LP-TEOS膜）9の選択比を15～20程度とすることができる。

【0042】次に、図5（A）に示すように、ライトアッシングを行って、エッチングストッパー層8上に堆積されたフロロカーボンポリマー層15を除去する。このライトアッシングは、酸素プラズマを用いて10秒程度行う。次に、図5（B）に示すように、上記のコンタクトホール開口のためのエッチングとエッチング条件を変更し、コンタクトホール10底部に露出したエッチングストッパー層8を除去するためのエッチングを行う。こ

のエッチングは、例えばマグネトロンエッチャーを用いて、以下の条件で行うことができる。

エッチング条件

エッチングガス：CHF₃、/O₂、/Ar = 10/10/50 sccm

圧力：5.3 Pa

RFパワー（13.56 MHz）：600 W

【0043】続いて、レジスト13を除去してから、アルミニウム等の導電体を用いてコンタクトホール10の内壁を被覆し、ソース/ドレイン領域7に接続する上層配線11を形成する。本実施形態の半導体装置の製造方法によれば、シリコン基板1表面近傍の層間絶縁膜として、有機SOG膜14が用いられることになる。有機SOG膜14は、酸化シリコンからなる層間絶縁膜9に比較して高温熱処理耐性が乏しいため、コンタクトホール内に埋め込む上層配線11の材料としては、低融点金属が適している。上層配線11としてポリシリコン配線を用いるには、高温熱処理で加工を行う必要があるため、アルミニウムやアルミニウム合金等の低融点金属材料が特に好ましい。

【0044】以上の工程により、図1(A)に示す半導体装置が得られる。本発明の半導体装置の製造方法は、DRAMやSRAM等のMOSトランジスタを含む半導体メモリ、あるいはバイポーラトランジスタ、A/Dコンバータ等、多層配線を有し自己整合コンタクトホールが形成される半導体装置であれば、いずれにも適用することができる。

【0045】上記の本発明の実施形態の半導体装置の製造方法によれば、エッチングストッパー層を用いて自己整合的にコンタクトホールを形成するため、コンタクトホール開口のためのマスクに、位置合わせ用の設計余裕を設ける必要がなく、形成パターンの縮小化が可能となる。また、本実施形態の半導体装置の製造方法によれば、エッチングストッパー層に対する層間絶縁膜（酸化シリコン）のエッチング選択比を向上させることができ、エッチングストッパー層の薄膜化が可能となる。これにより、ゲート電極の間隔が狭くなるのが防止されるため、コンタクト面積を確保でき、コンタクト抵抗の増大を抑制することができる。

【0046】本実施形態の半導体装置の製造方法によれば、エッチングストッパー層の実効的な膜厚を大きくする目的で、オフセット絶縁膜およびサイドウォールにエッチングストッパー層と同質の材料を用いる必要がある。したがって、オフセット絶縁膜およびサイドウォールにホットキャリア耐性の高い絶縁膜を用いることができ、安定で信頼性の高い自己整合コンタクトホールを形成することができる。

【0047】本発明の半導体装置の製造方法は、上記の実施の形態に限定されない。例えば、本実施形態におい

てはゲート電極はポリシリコン層単層としているが、タングステンシリサイド層を上層に積層させたポリサイド構造（2層構造）、あるいは、大粒径ポリシリコンからなる層を2層積層させ、その上層にシリサイド層を積層させた3層構造であってもよい。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0048】

【発明の効果】本発明の半導体装置の製造方法によれば、エッチングストッパー層に対する層間絶縁膜のエッチング選択比が向上され、エッチングストッパー層の薄膜化が可能となるため、ゲート電極間のコンタクト面積を確保し、エッチストップを防止することができる。したがって、配線ショートやコンタクト抵抗の増大が抑制された、安定で信頼性の高い自己整合コンタクトを半導体装置に形成することができる。

【図面の簡単な説明】

【図1】(A)は本発明の半導体装置の製造方法により製造される、半導体装置の断面図であり、(B)および(C)は本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図2】(A)～(C)は本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図3】(A)～(C)は本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図4】(A)～(C)は本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図5】(A)および(B)は本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図6】(A)は従来の半導体装置の製造方法により製造される、半導体装置の断面図であり、(B)および(C)は従来の半導体装置の製造方法の製造工程を示す断面図である。

【図7】(A)～(C)は従来の半導体装置の製造方法の製造工程を示す断面図である。

【図8】(A)～(C)は従来の半導体装置の製造方法の製造工程を示す断面図である。

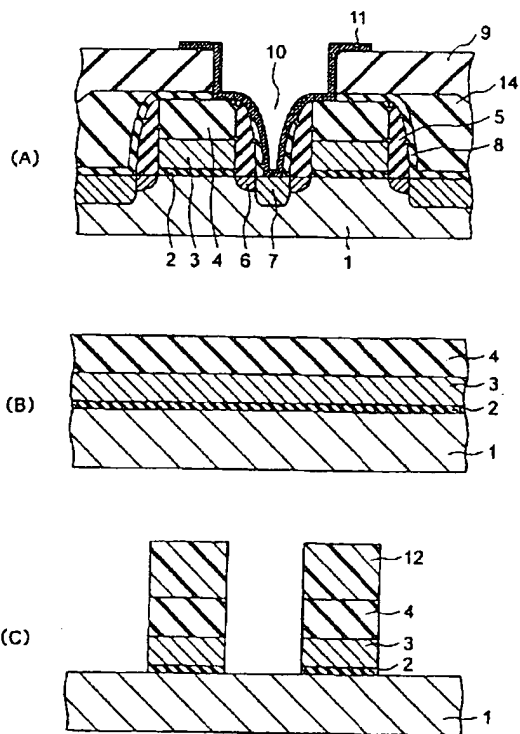
【図9】(A)および(B)は従来の半導体装置の製造方法の製造工程を示す断面図である。

【図10】(A)および(B)は従来の半導体装置の製造方法の製造工程を示す断面図である。

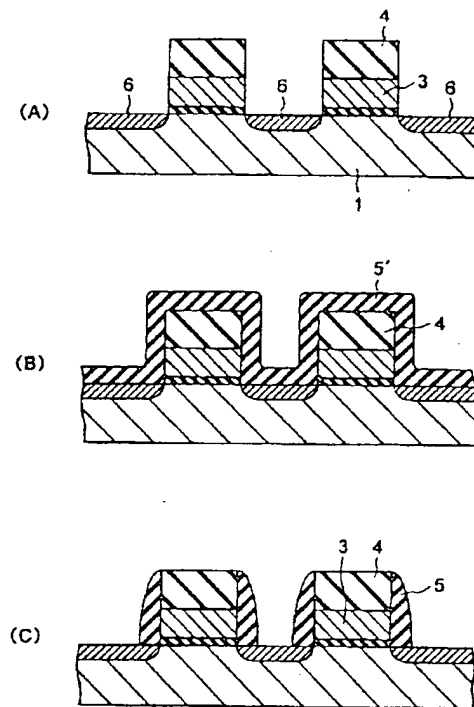
【符号の説明】

1…シリコン基板、2…ゲート絶縁膜、3…ゲート電極、4…オフセット絶縁膜、5…サイドウォール、5'…酸化シリコン層、6…LDD領域、7…ソース/ドレイン領域、8…エッチングストッパー層、9…層間絶縁膜、10…コンタクトホール、11…上層配線、12、13…レジスト、14…有機SOG膜、15…フロロカーボンポリマー層。

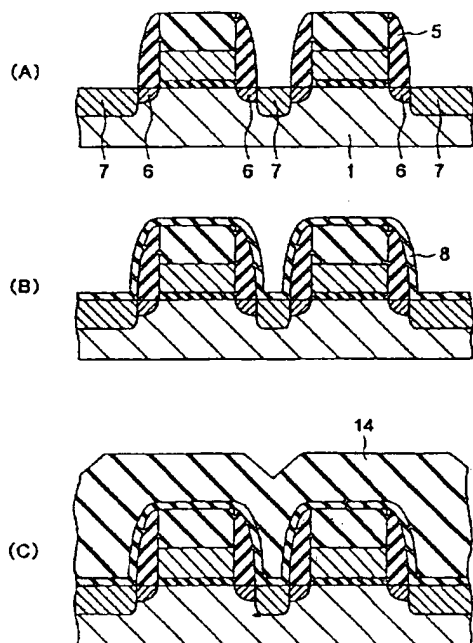
【図1】



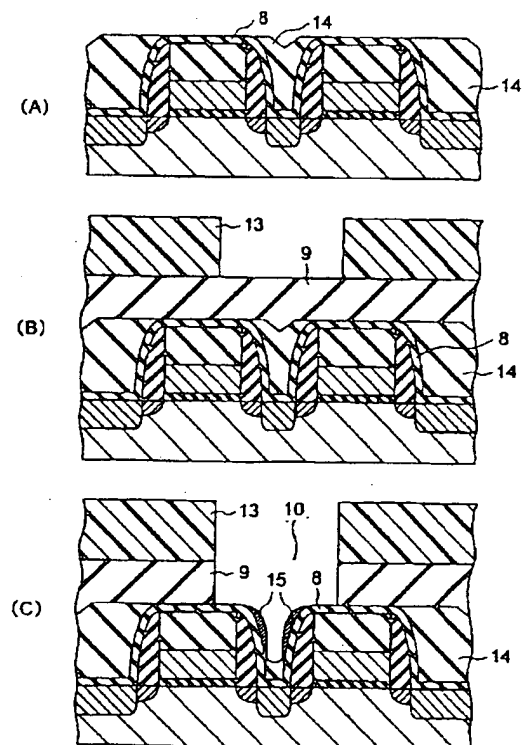
【図2】



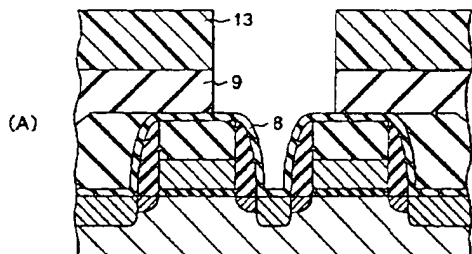
【図3】



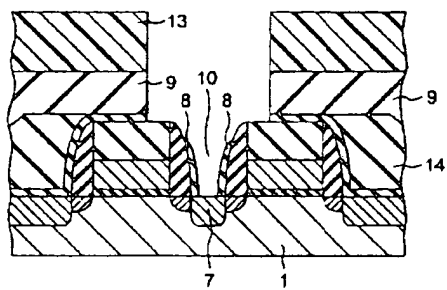
【図4】



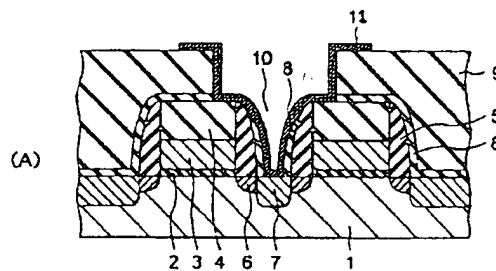
【図5】



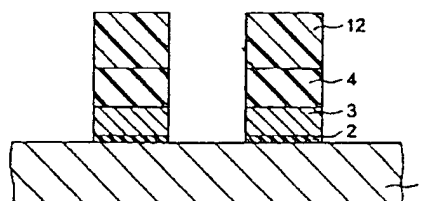
(B)



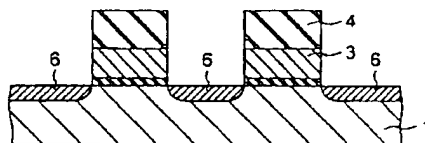
【図6】



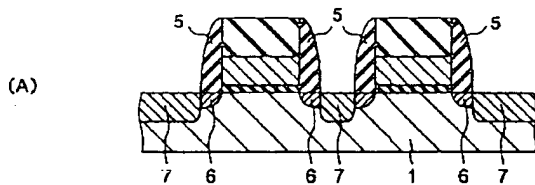
(B)



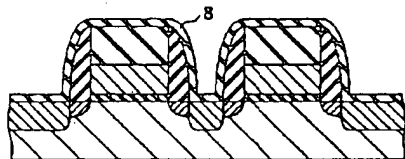
(C)



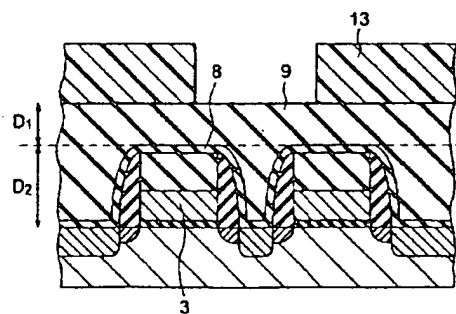
【図7】



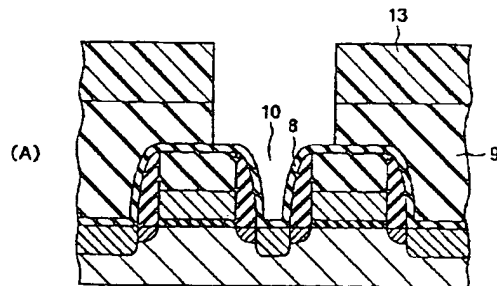
(B)



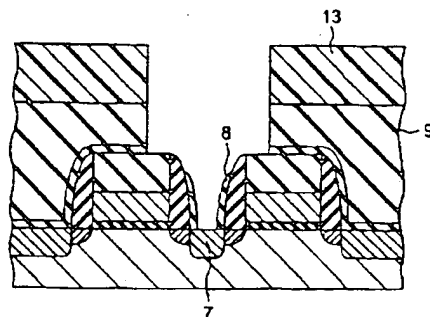
(C)



【図8】

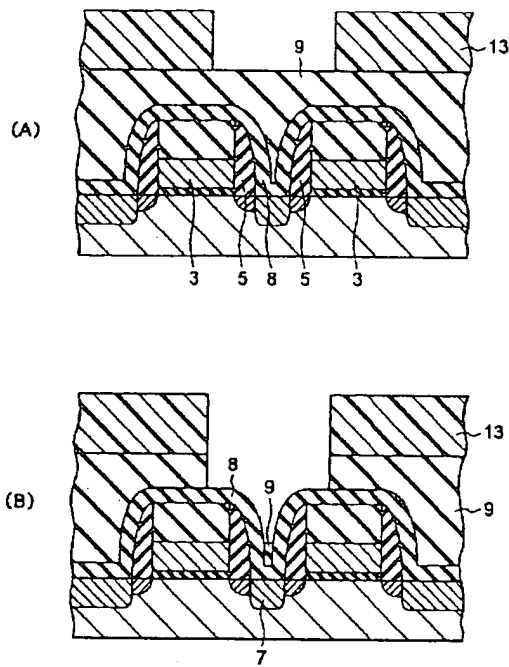


(B)

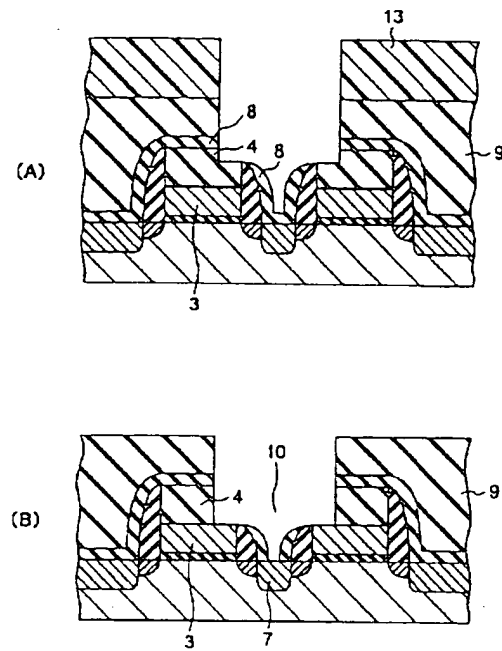


BEST AVAILABLE COPY

【図9】



【図10】



フロントページの続き

Fターム(参考) 5F004 AA09 AA11 BA04 BB13 DA00
 DA16 DA23 DA26 DB02 DB03
 DB07 EA12 EA23 EA26 EA27
 EA33 EB01 EB02 EB03 FA02
 5F033 HH08 JJ01 KK01 QQ09 QQ10
 QQ13 QQ15 QQ16 QQ21 QQ25
 QQ31 QQ35 QQ37 QQ57 QQ65
 RR04 RR06 RR08 RR25 SS04
 SS11 SS13 SS22 TT04 TT07
 VV04 XX02 XX09
 5F040 DA10 DA14 DB01 EA08 EA09
 EF02 EF03 EH02 EH05 EJ03
 EJ08 EK01 FA02 FA05 FA10
 FA12 FA16 FA18 FB01 FC21
 FC22 FC27